



УДК 621.314.26

ЕЛЕКТРОННА СИСТЕМА ЗАПИСУ ДАНИХ ДО МАСИВІВ ПАМ'ЯТІ НА ОСНОВІ КМОН ТРАНЗИСТОРІВ

Студ. А.Ю. Радецький, гр. МГМЕ-18
Науковий керівник доц. Швайченко В.Б.
Київський національний університет технологій та дизайну

Мета і завдання. Метою роботи є покращення методу запису даних до масивів пам'яті на основі КМОН транзисторів.

Для досягнення мети поставлені наступні завдання:

- Розробка структури електронної системи для реалізації запропонованих рішень;
- Розрахунок та моделювання відповідної електронної системи;

Об'єкт та предмет дослідження. Об'єктом дослідження є процеси запису даних до комірки статичної пам'яті (SRAM) на основі комплементарної метал-оксид-напівпровідник (КМОН) технології. Предметом дослідження є варіанти реалізації системи запису даних.

Методи та засоби дослідження. Методи теорії електричних кіл, фізика твердих тіл, елементи теорії автоматичного керування, цифрової схемотехніки, елементи математичного та комп'ютерного моделювання.

Наукова новизна та практичне значення отриманих результатів. Удосконалення існуючих методів формування тактових сигналів керування, а також інших сигналів, залежних від часу. Розробка методів корекції сигналів керування, відповідно до необхідного часу доступу до масивів пам'яті з різними обсягами запам'ятовуваної інформації.

Постановка завдання. Щоб записати дані в комірку пам'яті, комірка повинна бути обрана з використанням її координат рядків і стовпців, дані, які повинні зберігатися мають бути застосовані на контактах введення даних і інформація повинна зберігатися в обраній комірці пам'яті. Що стосується часу, необхідно виконати такі дії (що ілюструються на рис.1):

1) Перед тим, як перехід блоку керування часом доступу (від низького до високого рівнів), який ініціює операцію запису (1), адреси рядків і стовпців повинні бути застосовані до адресних вхідних контактів (ADDR) (2), повинен бути обраний чіп(3), Write Enable повинен бути низьким (4), і дані, які потрібно записати, повинні бути застосовані до контактів введення даних (5). Якщо SRAM має байт Write Enable, він також повинен бути низьким.

Кожен з цих сигналів повинен бути присутнім і дійсним за певний проміжок часу (час налаштування) до того, як блок керування часом доступу перемикається з низького на високий рівень, і повинен залишатися дійсним протягом певного часу (часу утримання) після перемикання блоку керування часом доступу.

Коли CS є низьким, чіп вибирається. Коли він високий (неактивний), чіп не може приймати ніяких вхідних сигналів. Функція Write Enable використовується для вибору між читанням і записом. Коли вона низька, відбувається операція запису; коли вона висока, відбувається операція читання. Коли байт Write Enable є високим, дані не можуть бути записані в пам'ять. Коли він низький, дані можуть бути записані у відповідні входи даних.

2) На висхідному фронті блока керування часом доступу (CLK) (1) адреса і вхідні дані фіксуються і починається операція запису. Дані зберігаються у вибраній комірці пам'яті.

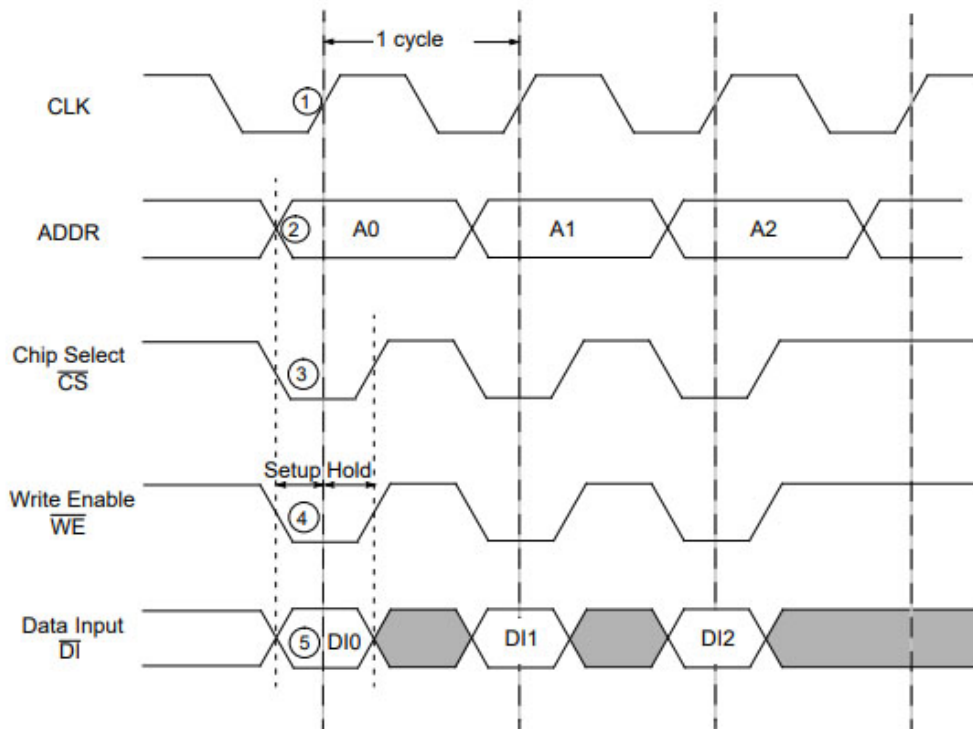


Рисунок 1. Спрощена часова діаграма для операції запису до комірки пам'яті SRAM.

Висновки. Запропоновано рішення у структурі електронної системи запису даних до масивів пам'яті на основі КМОН транзисторів. За отриманими результатами розрахунків та моделювань електронної системи, удосконалено методи формування сигналів керування, залежних від часу. А також розроблено методи корекції тактових сигналів керування у відповідності до часу доступу для масивів пам'яті різних розмірів. Розроблено електронну систему стенду для ілюстрації виконаних досліджень.

Ключові слова. Система запису інформації, статична пам'ять, блок керування часом доступу, SRAM, комплементарний метал-оксид-напівпровідниковий транзистор.

ЛІТЕРАТУРА

1. Lee Eng Han. CMOS Transistor. Layout KungFu / Lee Eng Han, Valerio B. Perez, Mark Lambert Cayanes, Mary Grace Salaber // – 2005. – 39 p.
2. R.Jacob Baker. CMOS Circuit, Design, Layout and Simulation. / R.Jacob Baker. Stuart K. Tewksbury and Joe E. Brewer, Series Editors // 3rd.Edition. – IEEE Press Series on Microelectronic Systems, 2010. – 1214 p.
3. Thomas Nirschl. High Speed, Low Power Design Rules for SRAM Precharge and Self-timing under Technology Variations / Thomas Nirschl, Bernhard Wicht, and Doris Schmitt-Landsiedel // Edition 7.3.10 - CiteSeer 2000. – 10 p.
4. Угрюмов Е. П. Глава 5. Запоминающие устройства // Цифровая схемотехника. — 3 вид. — БХВ-Петербург, 2010. — 816 с.
5. Kirti Bushan Bawa. A Comparative Study of 6T, 8T and 9T SRAM Cell / Kirti Bushan Bawa, Dr. Sukhwinder Singh // International Journal of Advanced Engineering Research and Technology. — Volume 3 Issue 6. – ISSN No.: 2348 – 8190, June 2015. – 4 p.
6. Mark W. Jetton. Memory having dummy bitline for timing control / United States Patent. – June 29, 2010.